

DIALOG(R)File 347:JAPIO  
(c) 1998 JPO & JAPIO. All rts. reserv.

03246654

MANUFACTURE OF THIN FILM TRANSISTOR

PUB. NO.: 02-222154 [JP 2222154 A]

PUBLISHED: September 04, 1990 (19900904)

INVENTOR(s): SHINOHARA HISATO

ABE MASAYOSHI

ARAI YASUYUKI

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 01-044911 [JP 8944911]

FILED: February 22, 1989 (19890222)

INTL CLASS: [5] H01L-021/336; G02F-001/136; H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 29.2 (PRECISION INSTRUMENTS -- Optical Equipment)

JAPIO KEYWORD: R002 (LASERS); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 1003, Vol. 14, No. 524, Pg. 99,  
November 16, 1990 (19901116)

#### ABSTRACT

PURPOSE: To form the above thin film transistors readily in a short time when the thin film transistor elements are aligned and formed on a substrate by projecting selectively condensed laser light on a high-resistance, non-single crystal semiconductor thin film, and aiding the crystallization of the light projected part.

CONSTITUTION: An Mo film and a low-resistance N-type non-single crystal semiconductor layer are overlapped on a glass plate 11 having an ITO electrode 19. A source 22, a drain 23 and electrodes 24 and 25 are formed by photolithography technology. Then, an I-type non-single crystal film is overlapped by a plasma CVD method. Condensed laser light is projected, and a part 14 wherein the crystal degree is increased is formed. A gate insulating film 17 comprising Si(sub 3)N(sub 4) is overlapped thereon by the plasma CVD method. Vapor deposition of Mo is performed, and the gate electrode 17 is attached. Thus a substrate on which thin film transistors 10 are aligned is completed. A plurality of the thin film transistors can be aligned and formed on the large substrate for liquid display in a short time.

## ⑫ 公開特許公報(A) 平2-222154

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)9月4日

H 01 L 21/336  
G 02 F 1/136  
H 01 L 29/784

5 0 0

7370-2H

8624-5F H 01 L 29/78 3 1 1 P

審査請求 未請求 請求項の数 1 (全8頁)

⑮ 発明の名称 薄膜トランジスタの作製方法

⑯ 特 願 平1-44911

⑰ 出 願 平1(1989)2月22日

⑱ 発 明 者 篠 原 久 人 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

⑲ 発 明 者 阿 部 雅 芳 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

⑳ 発 明 者 荒 井 康 行 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

㉑ 出 願 人 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地

## 明 細 書

## 1. 発明の名称

薄膜トランジスタの作製方法

## 2. 特許請求の範囲

1. 薄膜トランジスタ素子を整列して複数層形成する際に、絶縁性表面を有する基板上に、ソース、ドレイン領域となるN又はP型の導電型を有する低抵抗の非単結晶半導体を形成する工程と、高抵抗の非単結晶半導体層を形成する工程と、ゲート絶縁膜を形成する工程と、ゲート電極を形成する工程とを有し、前記高抵抗の非単結晶半導体層に選択的にレーザー光を照射して、レーザー光を照射した部分の結晶化を助長せしめ、その部分が複数層の薄膜トランジスタのチャネル部になるように作製することを特徴とした薄膜トランジスタ素子の作製方法。

## 3. 発明の詳細な説明

『産業上の利用分野』

本発明は非単結晶半導体層を用いた薄膜トランジスタ(以下にTFTともいう)及びその製造方法に関するものであり、特に液晶ディスプレイ、イメージセンサー等に適用可能な高速度応答性を持つ薄膜トランジスタに関する。

『従来の技術』

最近、化学的気相法等によって、作製された非単結晶半導体層膜を利用した薄膜トランジスタが注目されている。

この薄膜トランジスタは、絶縁性基板上に前述の如く化学的気相法等を用いて形成されるので、その作製雰囲気温度が最高で450℃程度と低温で形成でき、安価なソーダガラス、ホウケイ酸ガラス等を基板として用いることができる。

この薄膜トランジスタは電界効果型であり、いわゆるMOSFETと同様の機能を有しているが、前述の如く安価な絶縁性基板上に低温で形成でき、さらにその作製する最大面積は薄膜半導体を形成する装置の寸法にのみ限定されるもので、容易に大面積基板上にトランジスタを作製できるという利点を持っていた。このため多量の需要を持つマ

ンジスタ(以下にTFTともいう)及びその製造方法に関するものであり、特に液晶ディスプレイ、イメージセンサー等に適用可能な高速度応答性を持つ薄膜トランジスタに関する。

リクス構造の液晶ディスプレイのスイッチング素子や一次元又は二次元のイメージセンサ等のスイッチング素子として極めて有望である。

また、この薄膜トランジスタを製作するにはすでに確立された技術であるアモルファスシリコンが応用可能で、いわゆる微細加工が可能であり、IC等と同様に集積化を図ることも可能であった。

この従来より知られた薄膜トランジスタの代表的な構造を第2図に概略的に示す。

(20)はガラスよりなる絶縁性基板であり、(21)は非単結晶半導体よりなる薄膜半導体、(22)、(23)はソースドレイン領域で、(24)、(25)はソースドレイン電極、(26)はゲート絶縁膜で(27)はゲート電極であります。

このように構成された薄膜トランジスタはゲート電極(27)に電圧を加えることにより、ソースドレイン(22)、(23)間に流れる電流を調整するものであります。

この時、この薄膜トランジスタの応答速度は次式で与えられる。

$$S \propto \mu \cdot V / L^2$$

ここで $\mu$ はチャネル長、 $L$ はキャリアの移動度、 $V$ はゲート電圧。

この薄膜トランジスタに用いられる非単結晶半導体層は、半導体層中に多量の結晶粒界等を含んでおり、これが原因で単結晶の半導体に比べてキャリアの移動度が非常に小さく上式より判るようにはトランジスタの応答速度が非常に遅いという問題が発生していた。特にアモルファスシリコン半導体を用いた時、その移動度はだいたい $0.1 \sim 1$  ( $\text{cm}^2/\text{V} \cdot \text{Sec}$ )程度で、ほとんどTFTとして動作しない程度のものであった。

このような問題を解決するには上式より明らかなようにチャネル長を短くすることと、キャリアの移動度を大きくすることが知られ、種々の改良が行われている。

特に、移動度を向上させることは、従来より種々の方法によって行われていた。代表的には、非単結晶半導体をアニールして、単結晶化又は多結晶のグレインサイズを大きくすることが行われて

- 3 -

いた。

これら従来例では、高温下でアニールするため、高価な耐熱性基板を使用しなければならなかったり、基板上全面の半導体層を単結晶化又は多結晶化するため、処理時間が長くなるという問題が発生していた。

「発明の目的」

本発明は、前述の如き問題を解決するものであり、従来より知られたTFTに比べて、高速で動作するTFTを、より短時間で容易に作製する方法を提供することを、その目的とするものである。

「発明の構成」

上記目的を達成するため、本発明は基板上に薄膜トランジスタ素子を整列して複数形成する場合において、高抵抗の非単結晶半導体薄膜に、選択的に、集光されたレーザー光を照射して、その照射した部分の高抵抗の非単結晶半導体層の結晶化を助長せしめることを特徴とする。

本発明を用い、さらにレーザー光を照射した部分がTFTのチャネル部となるように以下の工程を

- 4 -

行うことによって、TFTのキャリア移動度を増大させ、前に述べた応答速度を増大せしめ、その結果従来適用できなかった液晶ディスプレイ、イメージセンサ等にTFT素子を適用可能ならしめるものである。

本発明においては、整列した複数の部分に直線状或いはドット状にレーザー光を照射するため、従来の方法に比較して、直線状にレーザー光を照射する場合には、直線部分の結晶化の促進を同時に行うことができ、非単結晶半導体薄膜の複数の部分の結晶化を短時間で行うことができる。またドット状に照射する場合においても照射所に照射した後の基板の移動のためのプログラムが、整列した部分への照射のために簡単であるうえ、工程上、非単結晶半導体薄膜の複数の部分の結晶化を短時間で行うことができる。

さらに本発明においては、エッチングの際も、レーザー光を照射した部分は照射しない部分に比較してエッチングしにくいので、エッチング時の歩留まりが上昇し、コストダウンにもなり得る。

- 5 -

以下に実施例により本発明を詳しく説明する。  
 「実施例 1」

本実施例においては、液晶ディスプレイに用いるための薄膜トランジスタの作製について示す。

本実施例に対応する薄膜トランジスタの概略的な作製工程を第 1 図に示す。

まず、基板 (11) として、透明導電膜としてパターンニングされた (T) の電極 (画素電極) を有する  $300\text{mm} \times 300\text{mm}$  のソーダガラスを用い、この基板 (11) 上にモリブデン膜を作製する。そして、公知のプラズマ CVD 法により低抵抗非単結晶半導体として N 型の導電型を有する非単結晶珪素膜を形成する。この時の作製条件は以下の通りであった。

基板温度	250℃
反応圧力	0.05 Torr
R(パワー)(13.56MHz)	150 W
使用ガス	$\text{SiH}_4 + \text{PH}_3$
膜厚	2000 Å

この、N 型の非単結晶珪素膜は、その形成時に

$\text{H}_2$  ガスを多量に導入し、R(パワー)を高くして、微結晶化して電気抵抗を下げたものを使用しても良い。

次に公知のフォトリソグラフィ技術を用いて非単結晶珪素膜をソース、ドレイン領域 (22)、(23) 及びその取り出し電極の所定の外形パターンにマスクングを行い、 $\text{SiH}_4$  ガスを用いてドライエッチングを行い、第 1 図 (a) の状態を得た。

次に、前述と同様のプラズマ CVD 法にて高抵抗半導体層として I 型の非単結晶珪素膜 (13) を形成する。作製条件は N 型の非単結晶珪素膜の時とほぼ同じであるが、使用ガスが  $\text{SiH}_4$  のみで膜厚は 5000 Å とした。

次に、この非単結晶珪素膜 (13) に対し、長さ  $300\text{mm} \times 10\text{mm}$  の長方形の照射断面となるように、光学系によって集光された、波長  $248.7\text{nm}$  のエキシマレーザー光 (15) を第 1 図 (b) に示す様に照射し、光を照射した部分の結晶度を増大せしめた。普通、レーザー光は中心部が強く、端のほうは弱くなっていて、強度において、ガウス分布を

- 7 -

呈する。従って、この光の状態のまま照射すると光の中心部のみ結晶化が進んでしまうので、本実施例においては、光学系を用いて、光の強度を均一にして照射を行った。

そして第 1 図 (c) の状態を得た。ただし、第 1 図 (c) においては直線状にレーザー光を照射して、結晶度の増大した部分のみを示す。

本実施例におけるレーザー光の照射条件はパワー密度  $0.5\text{J}/\text{cm}^2$ 、パルス巾  $15\text{ }\mu\text{sec}$  である。このレーザー光を本実施例の場合、3 パルス照射した。この照射回数及びレーザーの条件は被加工物によって異なり、本実施例の場合は予備実験を行って前述の条件を出してその条件を用いた。

次に、この I 型の珪素膜 (13) 上にプラズマ CVD 法で窒化珪素膜 (16) を 100 Å 形成し、ゲート絶縁膜とした。

これらを所定のパターンにパターンニング後、公知のスパッタリング法にて、モリブデン膜を蒸着し、ゲート電極 (17) を形成し、第 1 図 (d) に示すような、薄膜トランジスタ (10) を整列して

- 3 -

配置した基板を完成させた。(第 1 図 (e))

そして絶縁膜を形成した後、配向膜塗布工程、スペーサー散布工程、貼り合わせ工程、液晶注入工程を通過して、液晶セルが完成した。

以上のようにして、光学系を用いて断面を直線状にしたレーザー光を用いて、複数の薄膜トランジスタに対応する非単結晶珪素膜の結晶化の促進を同時に行うことができ、液晶ディスプレイに用いるような大型の基板に複数の TFT を整列して作製する場合に特に短時間で加工ができ、有効である。

「実施例 2」

本実施例においては、実施例 1 と同様本発明を液晶ディスプレイの作製時に用いた場合について示す。

まず、実施例 1 で用いたものと同じ基板上に実施例 1 と同様モリブデンを成膜した後、N 型の導電型を有する非単結晶珪素膜を形成する。

次に、公知のフォトリソグラフィ技術を用いて、実施例 1 と同様に非単結晶珪素膜をソース、

- 8 -

- 1 -

ドレイン領域及びその取り出し電極の所定の外形パターンにマスキングを行い、CF<sub>4</sub>ガスを用いてドライエッチングを行う。

次に、実施例1と同様に高抵抗半導体層として1型の非単結晶珪素膜を形成する。

次に、この非単結晶珪素膜に対し、巾10 $\mu$ m長さ3 $\mu$ mの長方形の照射断面となるように光学系によって集光された波長1.06 $\mu$ mのYAGレーザー光を第3図に示す様に点状に照射し、一箇所の照射ごとに基板をX、或いはY方向に一定の長さだけ動かして次の箇所の照射を行った。こうして光を照射した部分の結晶度を増大せしめた。

この時のレーザー光の照射条件はパワー密度0.6J/cm<sup>2</sup>、繰り返し周波数10kHzである。このレーザー光を本実施例の場合、1.5秒間照射した。この照射回数及びレーザーの条件は被加工物によって異なり、本実施例の場合は予備実験を行って前述の条件を出してその条件を用いた。

本実施例においても実施例1と同様に、レーザー光を均一にするために光学系を用いた。

次に、この1型の珪素膜上にプラズマCVD法で窒化珪素膜を100Å形成し、ゲイト絶縁膜とした。

これらを所定のパターンにパターンニング後、公知のスパッタリング法にて、モリブデン膜を蒸着し、パターンニングを行い、ゲイト電極を形成し、薄膜トランジスタを完成させた。

そして、絶縁膜を成膜した後、液晶配向膜塗布工程、スペーサー散佈工程、貼り合わせ工程、液晶注入工程を経由して液晶セルが完成した。

このようにして、整列して形成される複数個の薄膜トランジスタの、非単結晶珪素膜のチャンネル部に相当する部分のみにレーザー光を照射し、結晶化を促進することによって、応答速度の大きい薄膜トランジスタを作製することができ、そのうえ、レーザー光を部分的に照射するため、従来のように全面に照射する方法に比較して、短時間で結晶化が可能である。

本実施例においては、実施例1以上に必要な部分のみの照射であるため、非単結晶珪素膜のエッ

- 11 -

チングの際、かりに微妙に残渣が残ってしまった場合でも不必要な部分は結晶化が進んでいないので、リーク電流を少なくすることができる。

#### 「実施例3」

本実施例においては、本発明をイメージセンサーの作製時に用いた場合について示す。

まず、ガラス基板上に、実施例1と同様な方法で、モリブデン膜を形成した後、N型の導電型を有する非単結晶珪素膜を形成する。

次に、公知のフォトリソグラフィ技術を用いて、実施例1と同様に非単結晶珪素膜をソース、ドレイン領域及びその取り出し電極の所定の外形パターンにマスキングを行い、CF<sub>4</sub>ガスを用いてドライエッチングを行う。

次に、実施例1と同様に高抵抗半導体層として1型の非単結晶珪素膜を形成する。

次に、この非単結晶珪素膜に対し、巾10 $\mu$ m長さ330 $\mu$ mの基板の長さに対応する、1のほぼ直線状の照射断面となるように光学系によって集光された波長1.06 $\mu$ mのニームレーザー光を照射し

て光を照射した部分の結晶度を増大せしめた。

この時のレーザー光の照射条件はパワー密度0.5J/cm<sup>2</sup>、パルス巾12 $\mu$ secである。このレーザー光を本実施例の場合、3パルス照射した。この照射回数及びレーザーの条件は被加工物によって異なり、本実施例の場合は予備実験を行って前述の条件を出してその条件を用いた。

本実施例においても実施例1と同様に、レーザー光が均一になるように光学系を用いている。

次に、この1型の珪素膜上にプラズマCVD法で窒化珪素膜を100Å形成し、ゲイト絶縁膜とした。

これらを所定のパターンにパターンニング後、公知のスパッタリング法にて、モリブデン膜を蒸着し、パターンニングを行い、ゲイト電極を形成し、その後絶縁膜を作製して薄膜トランジスタを完成させた。

このようにして、一直線上に整列して形成される複数個の薄膜トランジスタの、非単結晶珪素膜のチャンネル部に相当する部分のみにレーザー光を

- 12 -

照射し、結晶化を促進することによって、応答速度の大きい薄膜トランジスタを作製することができ、そのうえ、レーザー光を部分的に照射するため、従来のように全面に照射する方法に比較して短時間で結晶化が可能である。

#### 「効果」

本発明の構成により、整列して形成される薄膜トランジスタのチャネル部の結晶度を増大させることができた。これによって、従来のチャリヤの移動度が小さいためにディスプレイ装置、イメージセンサー等のスイッチング素子として使用できなかった非単結晶半導体を用いたTFTを使用することが可能になった。

また、チャネル部の結晶度を増大させるためにレーザー加工技術を用いたので、大面積化されても加工精度上の問題はなく、良好な特性を有する薄膜トランジスタを大面積基板上に多数形成することが非常に容易になった。

さらには、レーザー加工を直線状、ドット状などの必要な部分にのみ行っているため、加工時間

の短縮が実現でき、そのうえエッチング時の歩留りが上昇し、さらにリーク電流を低減することができた。

また本実施例においては、スタガード型の薄膜トランジスタの作製について述べたが、本発明の技術思想から、他の逆スタガード型、コブレナー型、逆コブレナー型の薄膜トランジスタにも用いることができることは明らかである。

本実施例では、低抵抗の非単結晶半導体としてN型のみについて述べたが、P型においても本発明を用いることが可能であることは、本発明の技術思想から明らかである。

#### 4. 図面の簡単な説明

第1図(a)～(e)、第3図は本発明の実施例の薄膜トランジスタの製造工程を示す概略図である。

第2図は従来のTFTの断面構造を示す。

- 15 -

- 16 -

- 10・・・薄膜トランジスタ
- 11、20・・・基板
- 13、21・・・高抵抗非単結晶半導体層
- 14・・・結晶度の増大した部分
- 15・・・レーザー光
- 16、26・・・ゲイト絶縁膜
- 17、27・・・ゲイト電極
- 18・・・薄膜トランジスタ
- 19・・・ソース電極
- 20・・・基板
- 22、23・・・ソース、ドレイン領域
- 24、25・・・ソース、ドレイン電極

特許出願人

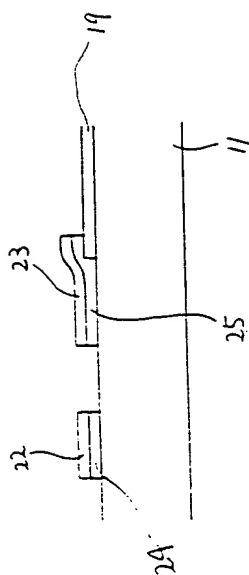
株式会社半導体エネルギー研究所

代表者 山 崎 隆 幸

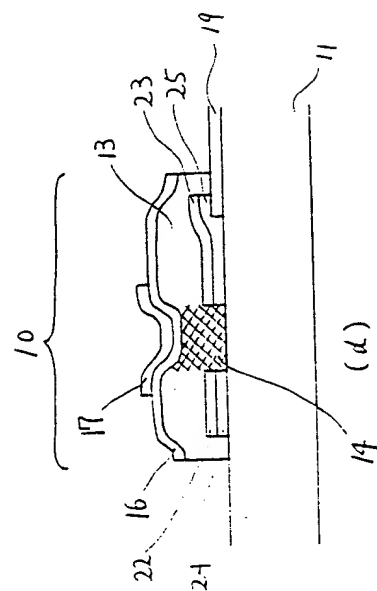


- 17 -

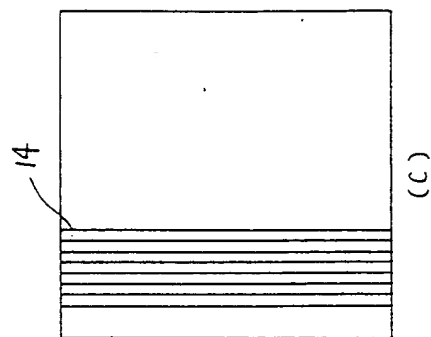
第 1 図



(a)

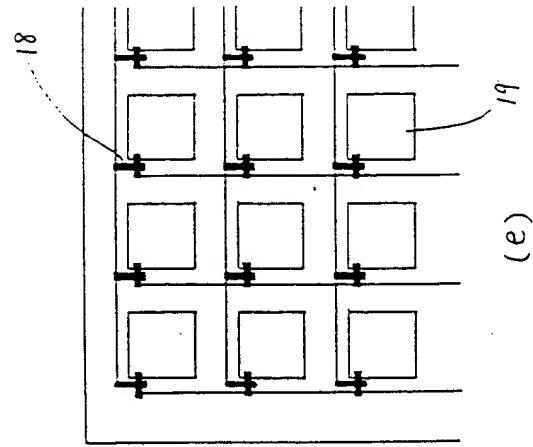
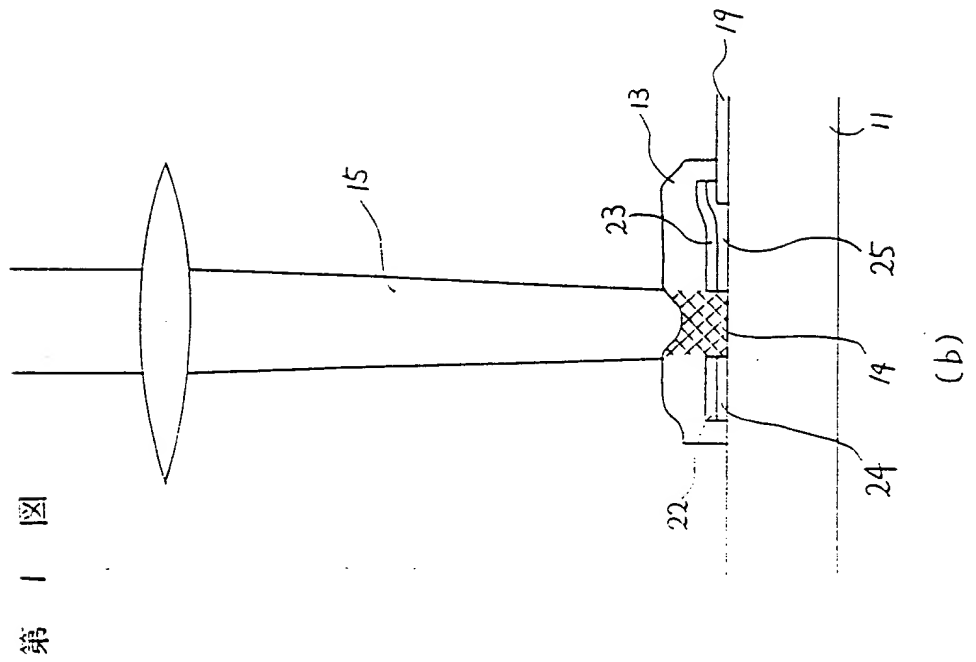


(b)



(c)

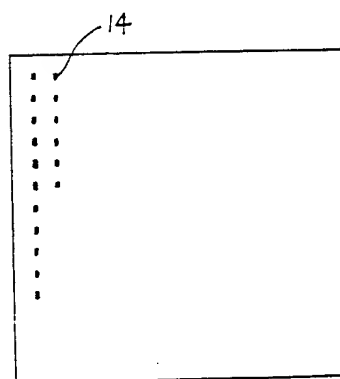
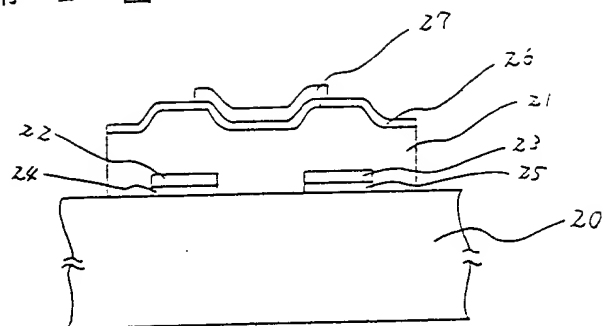
第 1 図



第 1 図



第 2 図



第 3 図